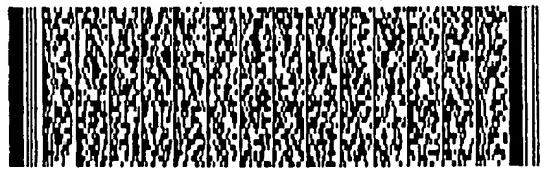
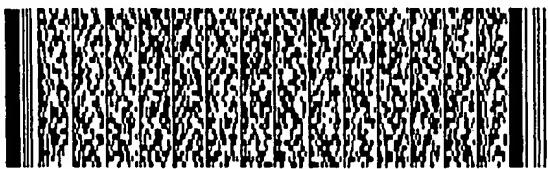


四、中文發明摘要 (發明之名稱：達成供光電及電子裝置用之獨立式氮化(鋁、銦、鎵) [(Al, In, Ga)N] 基板上的改良磊晶品質(表面結構及缺陷密度)之方法)

一種III-V 氮化物同質磊晶(homoepitaxial)微電子裝置結構，包含III-V 氮化物同質磊晶之磊晶層(epi layer)於III-V 氮化物材料基板例如具有獨立式特色的結構上。描述多種處理技術，包括一種形成III-V 氮化物同質磊晶層於對應III-V 氮化物材料基板上之方法，該方法使用III族來源材料及氮來源材料於處理條件下藉VPE方法沉積III-V 氮化物同質磊晶層，處理條件包括V/III 比為約1至約 10^5 ，氮來源材料分壓為約1至約 10^3 托耳，生長溫度為約500至約1250 °C，以及生長速率為約0.1至約500微米/小時。III-V 氮化物同質磊晶微電子裝置結構可用於裝置用途例如UV LED、高電子移動性電晶體等。

英文發明摘要 (發明之名稱：METHOD FOR ACHIEVING IMPROVED EPITAXY QUALITY (SURFACE TEXTURE AND DEFECT DENSITY) ON FREE-STANDING (ALUMINUM, INDIUM, GALLIUM) NITRIDE ((Al, In, Ga)N) SUBSTRATES FOR OPTO-ELECTRONIC AND ELECTRONIC DEVICES)

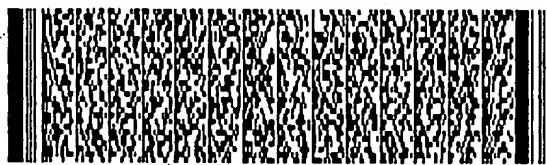
A III-V nitride homoepitaxial microelectronic device structure comprising a III-V nitride homoepitaxial epi layer on a III-V nitride material substrate, e.g., of freestanding character. Various processing techniques are described, including a method of forming a III-V nitride homoepitaxial layer on a corresponding III-V nitride material substrate, by depositing the III-V nitride homoepitaxial layer by a VPE process using Group III source material and



四、中文發明摘要 (發明之名稱：達成供光電及電子裝置用之獨立式氮化(鋁、銦、鎵)[(Al, In, Ga)N]基板上的改良磊晶品質(表面結構及缺陷密度)之方法)

英文發明摘要 (發明之名稱：METHOD FOR ACHIEVING IMPROVED EPITAXY QUALITY (SURFACE TEXTURE AND DEFECT DENSITY) ON FREE-STANDING (ALUMINUM, INDIUM, GALLIUM) NITRIDE ((Al, In, Ga)N) SUBSTRATES FOR OPTO-ELECTRONIC AND ELECTRONIC DEVICES)

nitrogen source material under process conditions including V/III ratio in a range of from about 1 to about 10^5 , nitrogen source material partial pressure in a range of from about 1 to about 10^3 torr, growth temperature in a range of from about 500 to about 1250 degrees Celsius, and growth rate in a range of from about 0.1 to about 500 microns per hour. The III-V nitride homoepitaxial microelectronic device structures are usefully employed in device applications such as UV LEDs,



四、中文發明摘要 (發明之名稱：達成供光電及電子裝置用之獨立式氮化(鋁、銦、鎵)((Al, In, Ga)N)基板上的改良磊晶品質(表面結構及缺陷密度)之方法)

英文發明摘要 (發明之名稱：METHOD FOR ACHIEVING IMPROVED EPITAXY QUALITY (SURFACE TEXTURE AND DEFECT DENSITY) ON FREE-STANDING (ALUMINUM, INDIUM, GALLIUM) NITRIDE ((Al, In, Ga)N) SUBSTRATES FOR OPTO-ELECTRONIC AND ELECTRONIC DEVICES)

high electron mobility transistors, and the like.



中華民國專利公報 [19] [12]

[11]公告編號：516102

[44]中華民國 92年(2003) 01月01日

發明

全23頁

[51] Int.Cl⁰⁷ : H01L21/205

H01L33/00

[54]名稱：達成供光電及電子裝置用之獨立式氮化（鋁、銻、鎵）〔(Al, In, Ga)N〕基板上的改良磊晶品質（表面結構及缺陷密度）之方法
 METHOD FOR ACHIEVING IMPROVED EPITAXY QUALITY
 (SURFACE TEXTURE AND DEFECT DENSITY) ON
 FREE-STANDING (ALUMINUM, INDIUM, GALLIUM)
 NITRIDE ((Al,In,Ga)N) SUBSTRATES FOR
 OPTO-ELECTRONIC AND ELECTRONIC DEVICES

[21]申請案號：090115729 [22]申請日期：中華民國 90年(2001) 06月28日

[30]優先權：[31]09/605,195 [32]2000/06/28 [33]美國

[72]發明人：

杰佛里 S. 菲恩
 喬治 R. 班安達斯
 羅伯特 P. 華都

美國
 美國
 美國

大衛 M. 基奧
 蘇須平
 巴巴拉 E. 蘭迪妮

美國
 美國
 美國

[71]申請人：

尖端科技材料公司 美國

[74]代理人：賴經臣先生
 宿希成先生

1

2

[57]申請專利範圍：

- 一種於對應III-V氮化物材料基板上形成III-V氮化物同質磊晶層之方法，包含於下述沉積條件下，使用III族來源材料及氮源材料，藉VPE方法沉積III-V氮化物同質磊晶層，該沉積條件包括V/III比係於約1至約10⁵，氮源材料分壓係於約1至約10³托耳，生長溫度係於約500至約1250°C，以及生長速率係於約0.1微米／小時至約500微米／小時之範圍。
- 如申請專利範圍第1項之方法，其中該III-V氮化物同質磊晶層包含一種選自包含AlN, AlInN, AlGaN, AlInGaN, InN, InGaN及GaN組成

的組群之氮化物化合物。

- 如申請專利範圍第1項之方法，其中III-V氮化物同質磊晶層包含GaN。
- 如申請專利範圍第1項之方法，其中III-V氮化物材料基板為獨立式基板。
- 如申請專利範圍第1項之方法，其中III-V氮化物材料基板為獨立式經光整的基板。
- 如申請專利範圍第1項之方法，其中III-V氮化物材料基板為獨立式未經光整的基板。
- 如申請專利範圍第1項之方法，其中該III-V氮化物材料基板為獨立式經化學機械研磨的基板。

8.如申請專利範圍第1項之方法，其中於沉積步驟前，基板於周圍氣氛加熱至生長溫度範圍的溫度，其中該周圍氣氛包括一或多種選自氫、氮、氬、氨、氖、氯化氫及前述二或多種之混合物組成的組群之物種。

9.如申請專利範圍第1項之方法，其中該生長溫度係於約1000至約1250°C之範圍。

10.如申請專利範圍第1項之方法，其中該生長溫度係於大於1050°C。

11.如申請專利範圍第1項之方法，其中該生長溫度實質約為1050°C。

12.如申請專利範圍第1項之方法，其中該同質磊晶層厚度至少為0.5微米。

13.如申請專利範圍第1項之方法，其中該同質磊晶層厚度至少為3.0微米。

14.如申請專利範圍第13項之方法，其中該III-V氮化物材料基板為獨立式未經光整的基板。

15.如申請專利範圍第1項之方法，其中該處理條件包括V/III比為約10¹至約10⁵。

16.如申請專利範圍第1項之方法，其中該處理條件包括V/III比大於約10⁴。

17.如申請專利範圍第1項之方法，其中該處理條件包括V/III比為約10³至約5×10⁴，氮源材料分壓為約20至約400托耳，生長溫度為約1000至約1150°C，以及生長速率為約0.5至約10微米/小時。

18.如申請專利範圍第1項之方法，其中該VPE方法包含MOVPE方法。

19.如申請專利範圍第1項之方法，其中該基板具有選自(0001),(0001)及其偏割組成的組群之晶相學方向

性。

20.如申請專利範圍第1項之方法，其中該基板具有選自{0001},{1120}及{1100}及其偏割組成的組群之晶相學方向性。

21.如申請專利範圍第1項之方法，其中該基板為GaN以及磊晶層係沉積於基板之Ga面上。

22.如申請專利範圍第1項之方法，其中該基板為GaN以及磊晶層係沉積於基板之N面上。

23.如申請專利範圍第1項之方法，其中該VPE方法包含HVPE方法。

24.如申請專利範圍第1項之方法，其中該III-V氮化物材料基板加熱至生長溫度，加熱中執行一或多個下列步驟：

(a)平順化基板之沉積表面；

(b)去除基板沉積表面的損傷；

(c)去除基板沉積表面上的污染物；

(d)減少於該沉積步驟中於III-V氮化物同質磊晶層與基板界面的缺陷傳播；

(e)消除於該沉積步驟中於III-V氮化物同質磊晶層與基板界面之新缺陷形成；

(f)減少於該III-V氮化物同質磊晶層或基板之電活性缺陷；

(g)減少於該沉積步驟中基板雜質之除氣；以及

(h)補償於同質磊晶層／基板界面的電荷。

25.如申請專利範圍第24項之方法，其中該加熱包含下列製程條件包括氮源材料分壓於約1至約1000托耳，升高時間於約1至約1000分鐘，升高速率於約每分鐘10至約1000°C之範圍，以及周圍氣氛包括一或多種選自氫、氮、氬、氨、氖、氯化氫及前述二或多種之混合物組成的組

群之物種。

26.如申請專利範圍第24項之方法，其中該加熱包含下列製程條件包括氮源材料分壓於約10至約400托耳，升高時間於約1至約100分鐘，升高速率於約每分鐘100至約400°C之範圍，以及周圍氣氛包括一或多種選自氫、氮、氬、氨、氖、氯化氫及前述二或多種之混合物組成的組群之物種。

27.如申請專利範圍第1項之方法，其中該III-V氮化物同質磊晶層係於沉積步驟沉積於基板之沉積面上，該沉積面具有晶相學方向性係由(0001)偏割。

28.如申請專利範圍第27項之方法，其中偏割界定偏割角距離(0001)為0.1至10度之範圍。

29.如申請專利範圍第1項之方法，其中該III-V氮化物同質磊晶層係於該沉積步驟中沉積於基板之具有朝向<1120>方向之偏割方向之沉積面上。

30.如申請專利範圍第1項之方法，其中該III-V氮化物同質磊晶層係於該沉積步驟中沉積於基板之具有朝向<1010>方向之偏割方向之沉積面上。

31.如申請專利範圍第1項之方法，其中該III-V氮化物同質磊晶層係於該沉積步驟中沉積於基板之具有介於<1120>與<1010>間的偏割方向之沉積面上。

32.如申請專利範圍第1項之方法，其中該III-V氮化物材料基板於該沉積步驟前使用水性酸清潔組合物清潔。

33.如申請專利範圍第1項之方法，其中該III-V氮化物材料基板於該沉積步驟前使用水性鹼清潔組合物清

潔。

34.如申請專利範圍第1項之方法，其中該III-V氮化物材料基板於該沉積步驟前經清潔俾由基板去除氯化銨。

35.如申請專利範圍第1項之方法，其中該III-V氮化物物料基板於該沉積步驟前於其沉積面上轉換成不同的化合物以及去除該不同的化合物。

36.如申請專利範圍第1項之方法，其中該III-V氮化物物料基板於該沉積步驟前於其沉積面上氧化以及結果所得氧化物經選擇性去除。

37.如申請專利範圍第1項之方法，其中該III-V氮化物物料基板於該沉積步驟前經氧化用以平順化基板。

38.如申請專利範圍第1項之方法，其中該III-V氮化物物料基板於該沉積步驟前藉RIE清潔。

39.如申請專利範圍第1項之方法，其中該III-V氮化物同質磊晶層於該沉積步驟係沉積於該沉積步驟前藉RIE或濕蝕刻而暴露的沉積面上。

40.如申請專利範圍第1項之方法，其進一步包括於該沉積步驟添加雜質。

41.如申請專利範圍第1項之方法，其進一步包含多步驟式平順化過程。

42.如申請專利範圍第1項之方法，其進一步包含背側蒸發保護處理。

43.如申請專利範圍第42項之方法，其中該背側蒸發保護處理包含對該基板施用一種保護基板背側面不致於蒸發之材料。

44.如申請專利範圍第42項之方法，其中該背側蒸發保護處理包含研磨基板背側面。

45.如申請專利範圍第42項之方法，其中該背側蒸發保護處理包含化學蝕刻。

46.如申請專利範圍第45項之方法，其中該化學蝕刻包含暴露基板背側面於熱酸或熱鹼。

47.如申請專利範圍第1項之方法，其包含於沉積III-V氮化物同質磊晶層前施用磊晶中間層至基板沉積面。

48.如申請專利範圍第47項之方法，其中該磊晶中間層包含不同的晶格匹配或晶格不匹配(Al, In, Ga)N化合物。

49.如申請專利範圍第1項之方法，其包含於沉積III-V氮化物同質磊晶層前，施用磊晶中間層至基板沉積面，藉此改良同質磊晶層形態以及減少錯位缺陷，以比較未施用該磊晶中間層至沉積面之對應處理。

50.如申請專利範圍第1項之方法，其包含於沉積III-V氮化物同質磊晶層前退火基板。

51.如申請專利範圍第1項之方法，其進一步包含施用界面活性劑至基板沉積面用以讓其上的III-V氮化物同質磊晶層黏合。

52.如申請專利範圍第1項之方法，其進一步包含進行質量移轉處理俾產生III-V氮化物同質磊晶層之平順化形態。

53.如申請專利範圍第1項之方法，其中於沉積步驟前，III-V氮化物物料基板接受一種選自研磨及蝕刻組成的組群之處理。

54.如申請專利範圍第1項之方法，其中於沉積步驟前，III-V氮化物物料基板接受罩蓋處理用以罩蓋基板的缺陷，以及該沉積步驟執行缺陷的過度生長與去除。

55.如申請專利範圍第1項之方法，其中該沉積步驟係於生長環境進行，以及界面活性劑係於沉積步驟期間添加至生長環境。

56.如申請專利範圍第1項之方法，其進一步包含於沉積步驟前形成平臺於III-V氮化物物料基板，以及沉積該III-V氮化物同質磊晶層於平臺上或由平臺橫向生長。

57.如申請專利範圍第56項之方法，其中該平臺具有足夠面積可讓沉積步驟之晶相學傳播結束以及錯位結束。

10. 58.如申請專利範圍第56項之方法，其進一步包含罩蓋平臺之周圍區以防止沉積步驟期間於該區上方生長。

59.如申請專利範圍第56項之方法，其進一步包含蝕刻平臺周圍區俾於沉積步驟期間含有於該區的生長。

15. 60.如申請專利範圍第1項之方法，其中該III-V氮化物同質磊晶層與其對應III-V氮化物材料基板各自包含GaN。

20. 61.如申請專利範圍第1項之方法，其中該III-V氮化物同質磊晶層與其對應III-V氮化物材料基板各自包含AlGaN。

25. 62.如申請專利範圍第1項之方法，其中該III-V氮化物同質磊晶層與其對應III-V氮化物材料基板各自包含AlInGaN。

30. 63.如申請專利範圍第1項之方法，其中該基板包含獨立式GaN，以及磊晶層係藉HVPE沉積。

64.如申請專利範圍第1項之方法，其中該磊晶層係經n型、p型或半絕緣攪雜。

35. 65.如申請專利範圍第1項之方法，其中該基板為獨立式GaN，具有經光整或未經光整特性，以及其中該同質磊晶層係選自AlGaN, InGaN及AlInGaN, InN, GaN, AlN組成的組群。

40. 66.如申請專利範圍第1項之方法，其

中該層及基板具有片電阻大於每平方厘米 $1E5$ 歐姆。

67.如申請專利範圍第 1 項之方法，其中該層及基板具有片電阻大於每平方厘米 $1E4$ 歐姆。

68.一種於對應III-V氮化物物料基板上形成一種III-V氮化物同質磊晶層之方法，包含使用III族來源材料以及氮源材料藉VPE方法沉積III-V氮化物同質磊晶層，其中該基板於沉積步驟期間設置於感受器表面上，該方法進一步包含於沉積步驟設置基板於感受器上之前，使用對應III-V氮化物物料塗層感受器表面。

69.一種於對應III-V氮化物物料基板上形成一種III-V氮化物同質磊晶層之方法，包含使用III族來源材料以及氮源材料藉VPE方法沉積III-V氮化物同質磊晶層，以及包括於沉積步驟前於一種氣氛於大於 600°C 之溫度執行退火步驟俾解除該層的應變，而退火氣氛係與沉積步驟氣氛不同俾保護基板表面以及促進基板的應變緩解。

70.一種於對應未經光整的III-V氮化物物料基板上形成一種III-V氮化物同質磊晶層之方法，包含使用III族來源材料以及氮源材料藉VPE方法沉積III-V氮化物同質磊晶層，其中該基板接受基板生長面之質量移轉平順化，其中該質量移轉平順化係含有選自以下步驟之至少一步驟：

- 基板在包含氮氣及氬氣之周圍環境下退火；
- 具有厚度 1000 埃或以下之磊晶薄層生長，俾稀釋來自基板材料的雜質；
- 加入界面活性劑，以平順化基板表面；以及
- 加入電荷補償雜質，以抵消雜質關

聯電荷。

71.一種於對應未經光整的III-V氮化物物料基板上形成III-V氮化物同質磊晶層之方法，包含使用III族來源材料以及氮源材料藉HVPE方法於生長周圍氣氛下沉積III-V氮化物同質磊晶層，於沉積期間添加界面活性劑至反應器生長氣氛俾輔助及提升基板的平順化。

72.一種於對應未經光整的III-V氮化物物料基板上形成一種III-V氮化物同質磊晶層之方法，包含使用III族來源材料以及氮源材料藉VPE方法沉積III-V氮化物同質磊晶層，其中該基板包含 $\text{FS}(\text{Al}, \text{In}, \text{Ga})\text{N}$ ，以及該基板經調理用以進行該沉積，其調理方式係經由於氧氣、空氣、空氣／惰性氣體混合物或濕混合物氧化 $\text{FS}(\text{Al}, \text{In}, \text{Ga})\text{N}$ 基板俾形成薄氧化物層，以及於強鹼溶液去除氧化物層或蝕刻去除氧化物層，俾由基板去除可能的雜質。

73.一種於對應未經光整的III-V氮化物物料基板上形成一種III-V氮化物同質磊晶層之方法，包含使用III族來源材料以及氮源材料藉VPE方法沉積III-V氮化物同質磊晶層，其中該同質磊晶層經攪雜，但於部分沉積期間該攪雜被暫停，俾形成具有足夠厚度之同質磊晶層中未經攪雜材料薄膜厚度俾消除於該同質磊晶層生長中的間斷形態。

74.一種III-V氮化物同質磊晶材料，該材料係經由申請專利範圍第1項之方法製造；以及該材料包含至少一種選自 AlN ， AlInN ， AlGaN ， AlInGaN ， InN ， InGaN 及 GaN 組成的族群之氮化物化合物。

75.一種III-V氮化物同質磊晶材料，該材料係經由申請專利範圍第1項之方

法製造，具有每平方厘米小於 $1E6$ 之錯位。

76. 一種同質磊晶 III-V 氮化物物件，包含 III-V 氮化物同質磊晶層於 FS III-V 氮化物物料基板上，具有每平方厘米小於 $1E6$ 之錯位。

77. 如申請專利範圍第 76 項之物件，其中該同質磊晶層及基板各自包含 AlGaN。

78. 如申請專利範圍第 76 項之物件，其中於同質磊晶層與基板間之界面不含污染。

79. 一種 III-V 氮化物同質磊晶微電子裝置結構，其包含一 FS III-V 氮化物物料基板，以及一 III-V 氮化物同質磊晶之磊晶層於該基板上，其中，該 III-V 氮化物同質磊晶之磊晶層係包含至少一種選自 AlN，AlInN，AlGaN，AlInGaN，InN，InGaN 及 GaN 組成的族群之氮化物化合物。

80. 如申請專利範圍第 79 項之 III-V 氮化物同質磊晶微電子裝置結構，其中該 III-V 氮化物同質磊晶之磊晶層包含非(0001)同質磊晶階級流晶體生長。

81. 如申請專利範圍第 79 項之 III-V 氮化物同質磊晶微電子裝置結構，其中該 III-V 氮化物同質磊晶之磊晶層具有 $<11\bar{2}0>$ 偏割方向。

82. 如申請專利範圍第 79 項之 III-V 氮化物同質磊晶微電子裝置結構，其中該 III-V 氮化物同質磊晶之磊晶層具有 $<10\bar{1}0>$ 偏割方向。

83. 如申請專利範圍第 79 項之 III-V 氮化物同質磊晶微電子裝置結構，其中該 III-V 氮化物同質磊晶之磊晶層具有 $<11\bar{2}0>$ 與 $<10\bar{1}0>$ 間的偏割方向。

84. 如申請專利範圍第 79 項之 III-V 氮化物同質磊晶微電子裝置結構，其中該基板係經光整。

85. 如申請專利範圍第 79 項之 III-V 氮化物同質磊晶微電子裝置結構，其中該基板係未經光整。

86. 如申請專利範圍第 79 項之 III-V 氮化物同質磊晶微電子裝置結構，其中該 III-V 氮化物同質磊晶之磊晶層包含晶格匹配的 AlInGaN 磊晶層。

87. 如申請專利範圍第 79 項之 III-V 氮化物同質磊晶微電子裝置結構，其中該基板包含 FS GaN 具有分級 AlGaN 層於其上。

88. 如申請專利範圍第 79 項之 III-V 氮化物同質磊晶微電子裝置結構，其具有錯位密度小於每平方厘米小於 $5E8$ 。

89. 如申請專利範圍第 79 項之 III-V 氮化物同質磊晶微電子裝置結構，其具有錯位密度小於每平方厘米小於 $5E7$ 。

90. 如申請專利範圍第 79 項之 III-V 氮化物同質磊晶微電子裝置結構，其具有錯位密度小於每平方厘米小於 $5E6$ 。

91. 如申請專利範圍第 79 項之 III-V 氮化物同質磊晶微電子裝置結構，其中該基板包含 GaN，以及該 III-V 氮化物同質磊晶之磊晶層係沉積於該基板之 Ga 面上。

92. 如申請專利範圍第 79 項之 III-V 氮化物同質磊晶微電子裝置結構，其中該 III-V 氮化物同質磊晶之磊晶層係沉積於基板之 N 面上。

93. 一種微電子裝置，其包含在該基板上含有一 FS III-V 氮化物物料基板及一 III-V 氮化物同質磊晶之磊晶層之 III-V 氮化物同質磊晶微電子裝置結構。

94. 如申請專利範圍第 93 項之微電子裝置，其包含 UV LED。

95. 如申請專利範圍第 93 項之微電子裝

置，其包含 AlGaN/GaN 高電子移動性電晶體(HEMT)。

96.如申請專利範圍第 93 項之微電子裝置，其包含雷射二極體。

97.一種包含微電子裝置之系統，其中，該微電子裝置包含一 III-V 氮化物同質磊晶微電子裝置結構，其在該基板上含有一 FS III-V 氮化物物料基板以及一 III-V 氮化物同質磊晶之磊晶層。

98.一種磊晶生長反應器，其包含感受器，其中，該感受器係塗覆有 CTE 匹配塗層於其上，俾延長感受器的操作壽命。

圖式簡單說明：

圖 1 為 FS GaN 晶圓於 130 倍放大之顯微像片。

圖 2 顯示形成於一片圖 1 之 FS GaN 基板上的 2.5 微米 GaN MOVPE 薄膜之 130 倍放大像片。

圖 3 顯示形成於一片圖 1 之 FS GaN 基板上的 7.5 微米 GaN MOVPE 薄膜之 130 倍放大像片。

圖 4 為 65 倍放大顯微像片，顯示經研磨的 FS GaN 基板。

圖 5 為 65 倍放大顯微像片，顯示研磨對圖 4 基板上生長的厚 2.5 微米 GaN 磊晶膜誘生損傷效應。

圖 6 為圖 5 GaN 膜放大 255 倍之放大視圖。

圖 7 為 CaN PIN/10 微米 GaN 磊晶於 FS GaN 上之 65 倍放大顯微像片，顯示其形態。

圖 8 為圖 7 磊晶層生長表面一區的 65 倍放大顯微像片，此處背側蒸發產物達到磊晶層。

圖 9 為對未經光整之 HVPE GaN 基板及其上之 10 微米磊晶層加裝置結構，DCXRD FWHM 隨隙寬增加函數變化之線圖。

圖 10 為對 GaN MOVPE 磊晶於 10 微米 HVPE GaN / 藍寶石結構的雜質濃度隨深度(單位微米)函數變化之線圖。本圖顯示矽(Si) = 3e18 原子 / 立方厘米，氧(O) = 3.5E18 / 立方厘米於界面，以及於界面小量硫(S)增高 = 1E16 / 立方厘米。

圖 11 顯示典型磊晶生長方法步驟集合，其中垂直軸粗略表示溫度，水平軸粗略表示時間。

圖 12 為使用老式 GaN 基板清潔方法所得較為粗糙的，有細小凹坑的磊晶形態之 65 倍放大顯微像片。

圖 13 為使用根據本發明之一方面的新穎 GaN 基板清潔方法所得較為光滑的磊晶形態之 65 倍放大顯微像片。

圖 14 為濃度相對於深度之線圖，顯示於同質磊晶界面矽 = 1E18 原子 / 立方厘米以及於基板 S = 5E16 原子 / 立方厘米，獲得良好磊晶形態。

圖 15 為於 10 微米 HVPE-GaN / 藍寶石上磊晶層之顯微像片，顯示薄膜形成採用的生長條件衍生的魚鱗及粗糙面形態。

圖 16 顯示生長於未經光整 FS GaN 之 10 微米 GaN 磊晶層之 AFM 掃描像片，證實有明確界定的階狀結構、低錯位密度以及平行階級。

圖 17 為於未經光整之 FS GaN 上 30. 10 微米 GaN 磊晶上的 GaN PIN 之 DCXRD 光譜。

圖 18 為未經光整 FS GaN 基板之 130 倍放大顯微像片。

圖 19 為 10 微米 GaN 磊晶 MOVPE 35. 層於未經光整 FS GaN 之 130 倍放大顯微像片。

圖 20 為生長於六方系小丘上的磊晶之 2 微米 × 2 微米原子力顯微鏡 (AFM) 顯微像片。

40. 圖 21 為生長於六方系小丘上的磊

晶之 10 微米 \times 10 微米原子力顯微鏡 (AFM) 顯微像片。

圖 22 為生長於六方系小丘上的磊晶之 28 微米 \times 20 微米原子力顯微鏡 (AFM) 顯微像片。

圖 23 顯示典型未經光整 FS GaN 基板形態之 130 倍放大顯微像片。

圖 24 為 10 微米 GaN 磊晶於 FS GaN 上之 130 倍放大顯微像片， $\text{NH}_3 =$ 標準 (2.2slm) 及反應器壓力 = 標準 (100 托耳)。

圖 25 為 10 微米 GaN 磊晶於 FS GaN 上之 130 倍放大顯微像片， $\text{NH}_3 = 2 \times$ 標準 (4.4slm) 及反應器壓力 = 標準 (100 托耳)。

圖 26 為 10 微米 GaN 磊晶於 FS GaN 上之 130 倍放大顯微像片， $\text{NH}_3 =$ 標準 (2.2slm) 及反應器壓力 = $2 \times$ 標準 (200 托耳)。

圖 27 為 10 微米 GaN 磊晶於 FS GaN 上之 130 倍放大顯微像片， $\text{NH}_3 = 2 \times$ 標準 (4.4slm) 及反應器壓力 = $2 \times$ 標準 (200 托耳)。

圖 28 為未經光整之 FS GaN 形態之 130 倍放大顯微像片。

圖 29 為得自圖 28 之 10 微米 GaN 磊晶於基板之 130 倍放大顯微像片，顯示凹坑填補。

圖 30 為目標 10 微米 GaN 磊晶生長於 FS GaN 上之形態之顯微像片，顯示形態平順化。

圖 31 為目標 10 微米 GaN 磊晶生長於 10 微米 HVPE GaN / 藍寶石底層形態顯微像片。

圖 32A 至 32C 顯示 FS GaN 未經光整表面平順化之多步驟式方法之二步驟式方法具體實施例。

圖 33 為有磊晶生長於其上之基板

之示意圖，顯示背側產物的輸送及磊晶表面形態的中斷。

圖 34 顯示於帶有厚 1000 埃未經攪雜 GaN 凝核層之 10 微米 HVPE GaN / 藍寶石底層上之 LED 結構之形態。

圖 35 顯示於 10 微米 HVPE GaN / 藍寶石底層上但不含此種未經攪雜凝核層之對應 LED 結構。

圖 36 示意顯示於氮氣及氫氣周圍氣氛下加熱成大量輸送條件之 GaN 基板。

圖 37 顯示大量輸送基板開始於周圍環境下平順化。

圖 38 顯示基板於大量輸送已經平順化全體表面之點。

圖 39 顯示帶有缺陷的基板，缺陷包括錯位缺陷 (A)、錯位加顛倒六方系凹坑 (B) 以及顛倒六方系凹坑 (C)。

圖 40 顯示基板有罩蓋施用於缺陷區。

圖 41 顯示基板帶有經過罩蓋缺陷的橫向過度生長。

圖 42 為簡化仰視圖，示意說明 FS GaN 基板，顯示其表面構型。

圖 43 顯示平臺經蝕刻的 FS GaN 基板表面，平臺由經蝕刻的基板主面向上伸展。

圖 44 顯示磊晶於平臺上生長而產生磊晶表面平順化的提升。

圖 45 為於各種基板上 InGaN 雙重非同質結構 (DH) LED 裝置之平均功率輸出估值 (以毫瓦特表示)，(三個裝置) 呈前傳電流 (單位毫安培) 之函數變化線圖。

圖 46 為 0.25 微米 I 厚度 PIN 於 FS GaN、SIC 及 HVPE GaN / 藍寶石上於 -10 伏之最佳反相漏電流密度呈裝置直徑 (單位微米) 之函數之線圖。

(9)



圖 1



圖 2

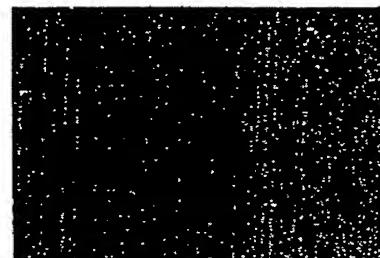


圖 3

(10)

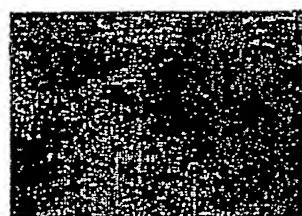


圖 4

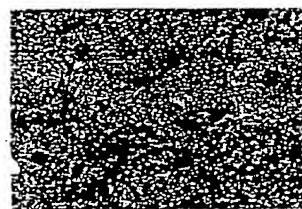


圖 5

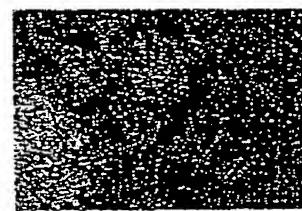


圖 6

(11)

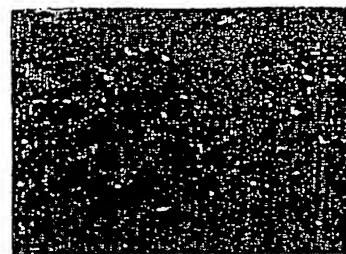


圖 7

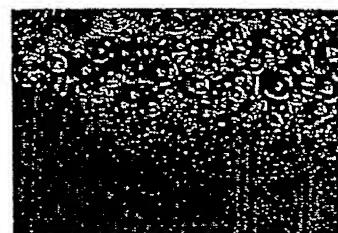


圖 8

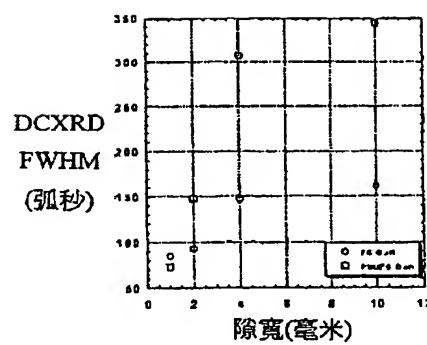


圖 9

(12)

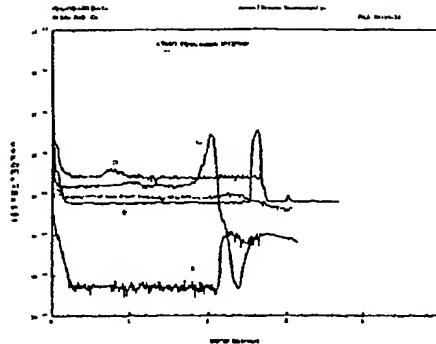


圖 10

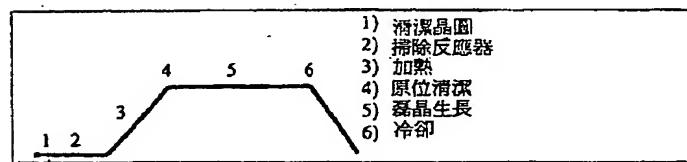


圖 11



圖 12

(13)

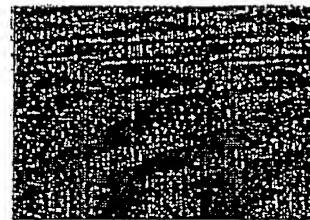


圖 13

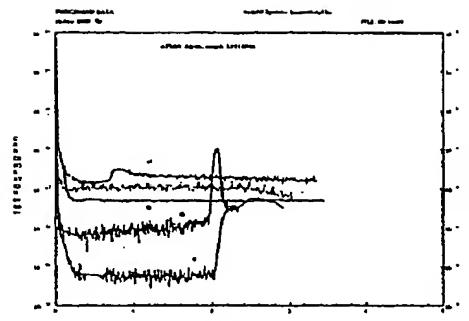


圖 14

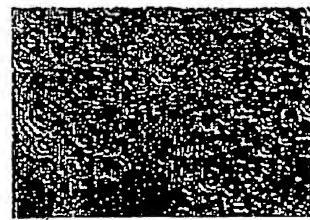
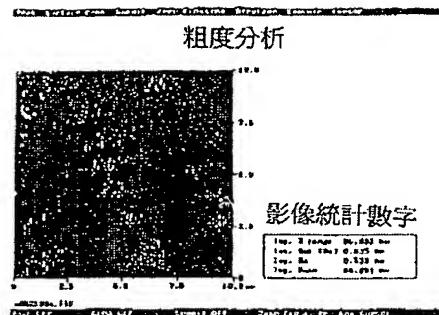


圖 15

(14)



16

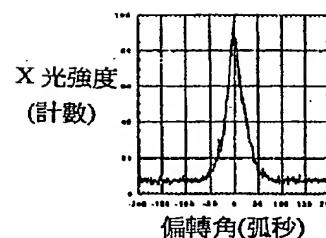


圖 17



圖 18

(15)

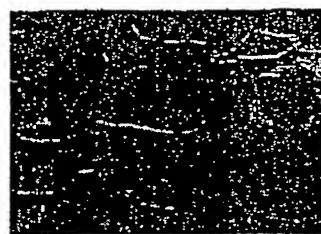


圖 19

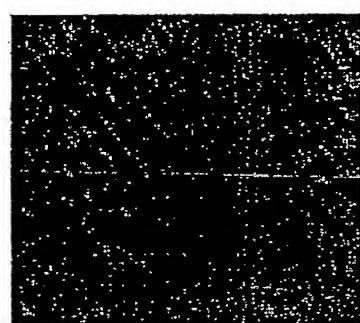


圖 20

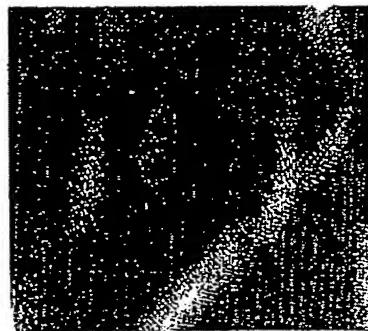


圖 21

(16)

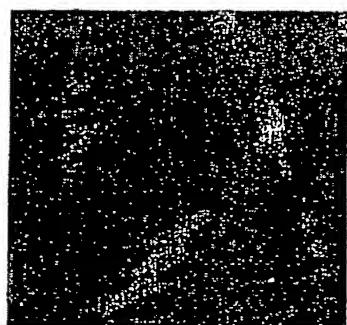


圖 22

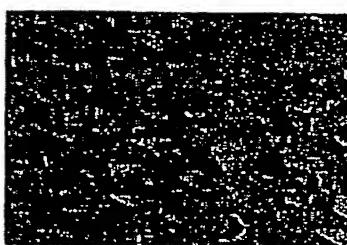


圖 23



圖 24

(17)

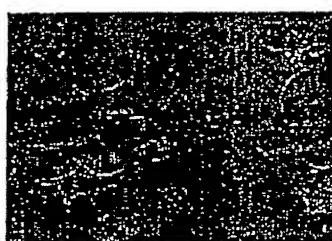


圖 25



圖 26

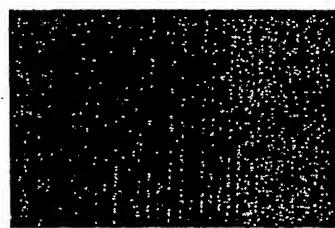


圖 27

(18)



圖 28

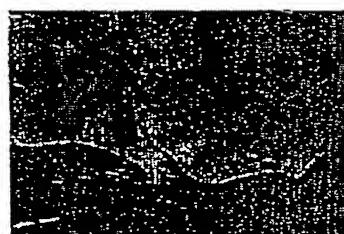


圖 29

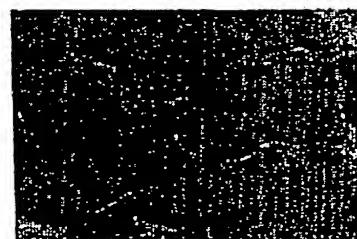


圖 30

(19)

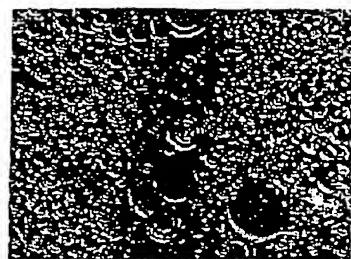


圖 31

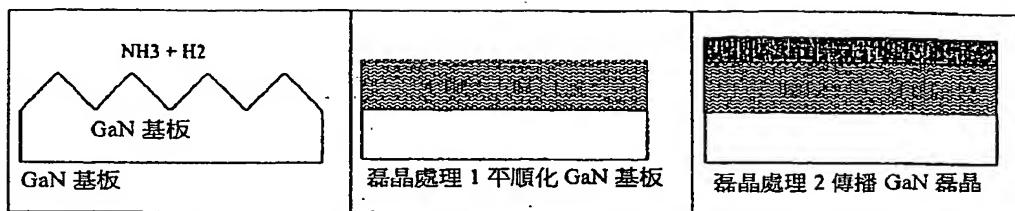


圖 32A

圖 32B

圖 32C

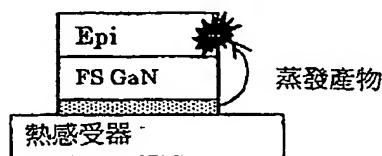


圖 33

(20)

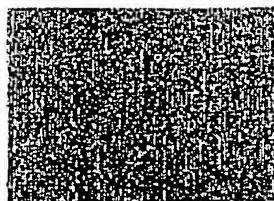


圖 34

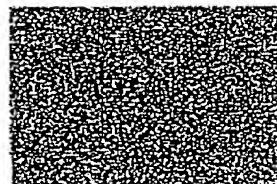


圖 35



圖 36

(21)

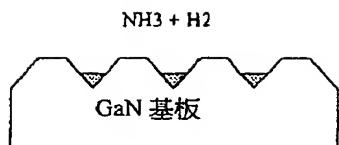


圖 37

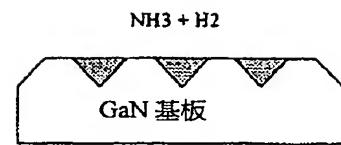


圖 38

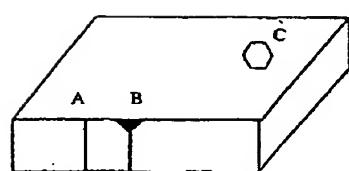


圖 39

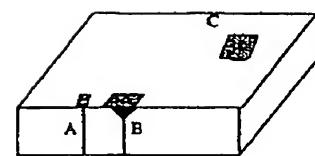


圖 40

(22)

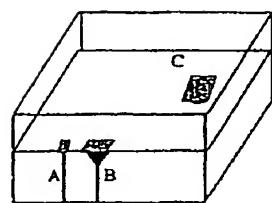


圖 41

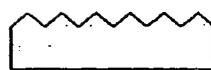


圖 42

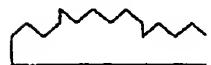


圖 43

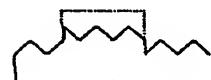


圖 44

(23)

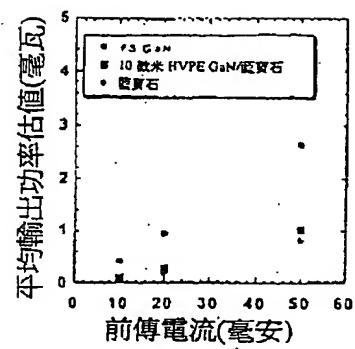


圖 45

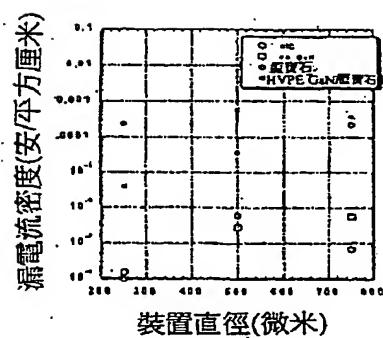


圖 46